

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-065105

(43)Date of publication of application : 06.03.1998

(51)Int.CI.

H01L 27/04

H01L 21/822

(21)Application number : 08-217440

(71)Applicant : MITSUBISHI ELECTRIC CORP  
KYOEI SANGYO KK

(22)Date of filing : 19.08.1996

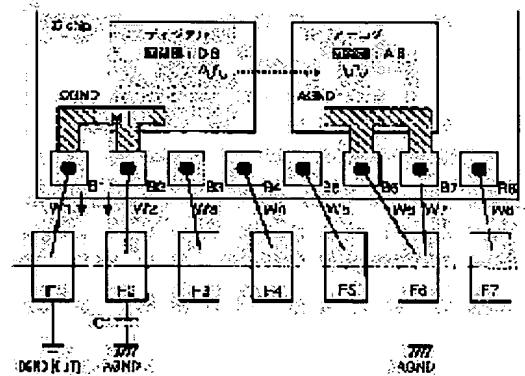
(72)Inventor : SUZUKI MASAO  
SUMI KATSUAKI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain a semiconductor integrated circuit for which the noise generated on a digital circuit part can be made small and also the noise signal transmitted to an analog part through the substrate, etc., of a chip can be made small, without increasing the number of pad lead wire and the lead frame of a digital circuit part.

**SOLUTION:** In a semiconductor integrated circuit in which a digital circuit part DB and an analog circuit part AB are mingled, a bonding pad B1, which is connected to the inner wiring M1 of the digital circuit part DB and a current is allowed to flow, and a bonding pad B2, dedicated for the mounting of the bypass capacitor C1 connected by a wiring which is different from the wiring with which the bonding pad B1 is connected to the inner wiring M1 of the digital circuit part DB, are provided and a path, used to attach the bypass capacitor C1, is constituted by the bonding pad 2 which is dedicated for the mounting of the bypass capacitor C1.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-65105

(43)公開日 平成10年(1998)3月6日

(51)Int.Cl.<sup>6</sup>  
H 01 L 27/04  
21/822

識別記号

府内整理番号

F I  
H 01 L 27/04

技術表示箇所  
C  
H

審査請求 未請求 請求項の数 3 O L (全 4 頁)

(21)出願番号 特願平8-217440

(22)出願日 平成8年(1996)8月19日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(71)出願人 000162320

協栄産業株式会社

東京都渋谷区松濤2丁目20番4号

(72)発明者 鈴木 雅夫

東京都渋谷区松濤2丁目20番4号 協栄産業株式会社内

(72)発明者 角 克晶

東京都渋谷区松濤2丁目20番4号 協栄産業株式会社内

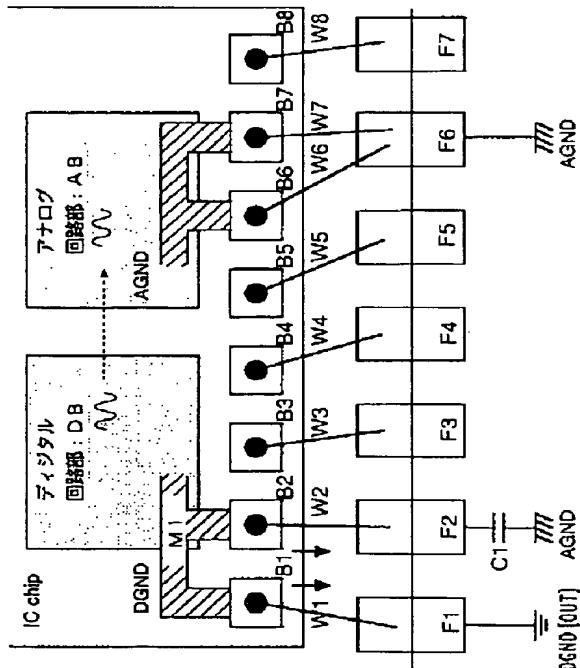
(74)代理人 弁理士 宮田 金雄 (外3名)

(54)【発明の名称】 半導体集積回路

(57)【要約】

【課題】 ディジタル回路部のパッド・リードワイヤ・リードフレームを増やすことなく、ディジタル回路部に発生したノイズを小さくでき、チップの基板等を通じてアナログ部へ伝わるノイズ信号を小さくできる半導体集積回路を得る。

【解決手段】 ディジタル回路部D Bとアナログ回路部A Bが混在する半導体集積回路において、ディジタル回路部D Bの内部配線M 1に接続され電流が流通するボンディングパッドB 1と、前記ディジタル回路部D Bの内部配線M 1に前記ボンディングパッドB 1が接続される配線とは別の配線で接続されたバイパスコンデンサC 1を付けるための専用のボンディングパッドB 2とを設け、前記専用のボンディングパッドB 2によりバイパスコンデンサC 1を付けるためのパスを構成するようにした。



## 【特許請求の範囲】

【請求項1】 ディジタル回路部とアナログ回路部が混在する半導体集積回路において、ディジタル回路部の内部配線に接続され電流が流通するポンディングパッドと、前記ディジタル回路部の内部配線に前記ポンディングパッドが接続される配線とは別の配線で接続されたバイパスコンデンサを付けるための専用のポンディングパッドとを設け、前記専用のポンディングパッドによりバイパスコンデンサを付けるためのパスを構成するようにしたことを特徴とする半導体集積回路。

【請求項2】 ディジタル回路部とアナログ回路部が混在する半導体集積回路において、ディジタル回路部の専用接地部と、このディジタル回路部の専用接地部に接続されディジタル回路部の電流が流れ出る接地部ポンディングパッドと、ディジタル回路部の専用接地部とディジタル回路部の電流が流れ出る接地部ポンディングパッドが接続される配線とは別の配線でディジタル回路部の専用接地部に接続されたバイアスコンデンサを付けるための専用のポンディングパッドとを備え、ディジタル回路部の電流が流れ出る接地部ポンディングパッドがリードワイヤ・リードフレームを通じて接続される外部ディジタル接地とは別の外部接地との間にバイパスコンデンサを付けることを特徴とする半導体集積回路。

【請求項3】 バイパスコンデンサを付けるためのパスを電源ラインに設けることを特徴とする請求項1に記載の半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、アナログ回路部とディジタル回路部が混在する半導体集積回路に関するものである。

## 【0002】

【従来の技術】 図2に、従来の技術を示す。図において、B1～B8はポンディングパッド、W1～W8はリードワイヤ、F1～F8はリードフレームである。

【0003】 次に、従来の技術について説明する。ディジタル回路部DBで発生したノイズがアナログ回路部ABに与える影響を少なくするには、ディジタル回路部DBからアナログ回路部ABへのノイズの伝達を小さくする方策と、ディジタル回路部DBで発生するノイズそのものを小さくする方策がある。

【0004】 前者には、ディジタル回路部DBの電源とアナログ回路部ABの電源、ディジタル回路部DBの接地部（以下、GNDという）とアナログ回路部ABのGNDを分ける手段があり、後者では、ディジタル回路部DBで発生したノイズを小さくする手段として、ディジタル部DB専用GNDラインのインピーダンスを小さくすることが挙げられる。

【0005】 そのために、パッド（B1・B2・B3・B4）の数を増やし、リードワイヤ（W1・W2・W3

・W4）・リードフレーム（F1・F2・F3・F4）の本数を増やすという対策が採られていた。

## 【0006】

【発明が解決しようとする課題】 従来のディジタルノイズ軽減対策回路では、以上のように構成されているので、ディジタル回路部DBで発生する過渡電流（ディジタル回路を構成するAND回路・OR回路・IN.V回路などがon・offスイッチするときに流れる瞬間的な電流）が内部配線M1、ポンディングパッドB1・B2

10・B3・B4、リードワイヤW1・W2・W3・W4、フレームF1・F2・F3・F4を通り外部のディジタル回路部DBの専用GND:D GNDに流れる。

【0007】 リードワイヤ・フレームの抵抗成分やインダクタンス成分のためチップのディジタル回路部専用GNDにノイズが発生する。このノイズは、次式に示す通り、ポンディングパッド・リードワイヤ・フレームのインピーダンスZM・ZW・ZLの和（ZM+ZW+ZL）と過渡電流との積に比例する。

ノイズ=過渡電流×（ZM+ZW+ZL）

20【0008】 そこで、ディジタル回路部DB専用GNDで発生したノイズを小さくするためには、ポンディングパッド・リードワイヤ・フレームの数を増やさなければならないという欠点があった。

【0009】 この発明は、ディジタル回路部のパッド・リードワイヤ・リードフレームを増やすことなく、ディジタル回路部に発生したノイズを小さくでき、チップの基板等を通じてアナログ部へ伝わるノイズ信号を小さくでき、このような欠点を除去することができる半導体集積回路を得ようとするものである。

30【0010】 第1の発明は、ディジタル回路部にバイパスコンデンサを付けるための専用ポンディングパッドを設けることにより、ディジタル回路部のパッド・リードワイヤ・リードフレームを増やすことなく、ディジタル回路部に発生したノイズを小さくでき、チップの基板等を通じてアナログ部へ伝わるノイズ信号を小さくできる半導体集積回路を得ようとするものである。

【0011】 第2の発明は、ディジタル回路部の専用GNDにバイパスコンデンサを付けるためのパスを設け、外部ディジタル回路部専用GNDとは別のGNDとの間にバイパスコンデンサを付けることにより、ディジタル回路部専用GNDのパッド・リードワイヤ・リードフレームを増やすことなく、ディジタル部ディジタル回路部に発生したノイズを小さくでき、チップの基板等を通じてアナログ回路部へ伝わるノイズ信号を小さくできる半導体集積回路を得ようとするものである。

【0012】 第3の発明は、バイパスコンデンサを付けるためのパスを電源ラインに設けることにより、ディジタル回路部のパッド・リードワイヤ・リードフレームを増やすことなく、ディジタル回路部に発生したノイズを小さくでき、チップの基板等を通じてアナログ部へ伝わ

るノイズ信号を小さくできる半導体集積回路を得ようとするものである。

【0013】

【課題を解決するための手段】第1の発明の半導体集積回路においては、デジタル回路部とアナログ回路部が混在する半導体集積回路において、デジタル回路部の内部配線に接続され電流が流通するポンディングパッドと、前記デジタル回路部の内部配線に前記ポンディングパッドが接続される配線とは別の配線で接続されたバイパスコンデンサを付けるための専用のポンディングパッドとを設け、前記専用のポンディングパッドによりバイパスコンデンサを付けるためのパスを構成するようにしたことを特徴とする。

【0014】第2の発明の半導体集積回路においては、デジタル回路部とアナログ回路部が混在する半導体集積回路において、デジタル回路部の専用接地部と、このデジタル回路部の専用接地部に接続されデジタル回路部の電流が流れ出る接地部ポンディングパッドと、デジタル回路部の専用接地部とデジタル回路部の電流が流れ出る接地部ポンディングパッドが接続される配線とは別の配線でデジタル回路部の専用接地部に接続されたバイパスコンデンサを付けるための専用のポンディングパッドとを備え、デジタル回路部の電流が流れ出る接地部ポンディングパッドがリードワイヤ・リードフレームを通って接続される外部との間にバイパスコンデンサを付けることを特徴とする。

【0015】第3の発明の半導体集積回路においては、バイパスコンデンサを付けるためのパスを電源ラインに設けることを特徴とする。

【0016】この発明の実施の形態におけるデジタルノイズ軽減対策回路の特徴は、チップのデジタル回路部専用GND上にバイパスコンデンサC1を付けるための専用ポンディングパッドB2を設け、デジタル回路部の電流が流れ出る外部デジタル専用GNDとは別のGNDとの間にバイパスコンデンサC1を付けることである。

【0017】この発明においては、次のような作用を有する。この発明におけるデジタルノイズ軽減対策回路は、今までデジタル回路部と混載が難しいとされてきた微小信号を扱う回路や高利得の増幅器などのアナログ回路の混載を可能とする。

【0018】

【発明の実施の形態】

実施の形態1. 以下、この発明の実施の一形態を図に基づいて説明する。図1は、この発明の実施の一形態によるデジタルノイズ軽減対策を示す。図1において、DBはデジタル回路部、ABはアナログ回路部、M1はデジタル回路部DBの内部配線、B1～B8はポンディングパッド、W1～W8はリードワイヤ、F1～F8はリードフレーム、DGNDはデジタル回路部DB専用GND

D、DGND【OUT】は外部デジタル回路部DB専用GND、AGNDはアナログ回路部AB専用GNDである。

【0019】この実施の形態と従来例との相違点は、ICチップ上のデジタル回路部専用GND: DGNDライン上にバイパスコンデンサC1を付けるためのポンディングパッドB2を設け、デジタル回路部DBの電流が流れ出る外部デジタル回路専用GNDとは別のGNDとの間にバイパスコンデンサC1を付けている点である。

【0020】次に、動作について説明する。なお、デジタル回路部の動作としては従来回路と同じである。図1において、デジタル回路部DBが通常の動作をしているものとする。このとき、デジタル回路部DBの過渡電流がデジタル回路部DBの専用GND: DGNDの内部配線M1・ポンディングパッドB1・リードワイヤW1・フレームF1を通って外部デジタル回路部専用GND: DGND【OUT】に流れる。

【0021】リードワイヤW1・リードフレームF1の抵抗成分・インダクタンス成分と過渡電流により、チップデジタル回路部専用GND: DGNDにノイズ信号が現われる。このデジタル回路部DB専用GND: DGNDに現れたノイズ信号がICチップの基板を通りアナログ部AB専用GND: AGNDに現れる。このアナログ部AB専用GND: AGNDに乗ったノイズ信号がアナログ回路部ABの定電流回路や増幅器などで増幅され、大きなノイズとなってアナログ信号出力に出てくる。

【0022】そこで、デジタル回路部DBの専用GND: DGNDに発生したノイズ信号をポンディングパッドB2・リードワイヤW2・フレームF2を通して付けられたバイパスコンデンサC1で小さくする。発生したノイズ信号を小さくすることで、アナログ回路部ABに伝わるノイズ信号も小さくすることができ、アナログ信号出力のノイズ信号を軽減することができる。

【0023】ここで重要なことは、バイパスコンデンサC1のつながるGND: AGNDが、外部デジタル回路部専用GND: DGND【OUT】とは別のGNDであることである。

【0024】実施の形態2. また、上記実施の形態1ではデジタル回路部DB専用GNDライン上にバイパスコンデンサを付けるためのパスを設ける例を示したが、このバイパスコンデンサを付けるためのパスを電源ラインに設けてもよい。

【0025】以上のように、この発明の実施の形態によれば、デジタル回路部の専用GNDにバイパスコンデンサを付けるためのパスを設け、外部デジタル回路部専用GNDとは別のGNDとの間にバイパスコンデンサを付けることにより、デジタル回路部専用GNDのパッド・リードワイヤ・リードフレームを増やすことな

く、デジタル部デジタル回路部に発生したノイズを小さくすることができ、チップの基板等を通じてアナログ回路部へ伝わるノイズ信号を小さくすることができる。

#### 【0026】

【発明の効果】第1の発明によれば、デジタル回路部にバイパスコンデンサを付けるための専用ポンディングパッドを設けることにより、デジタル回路部のパッド・リードワイヤ・リードフレームを増やすことなく、デジタル回路部に発生したノイズを小さくでき、チップの基板等を通じてアナログ部へ伝わるノイズ信号を小さくできる半導体集積回路を得ることができる。

【0027】第2の発明によれば、デジタル回路部の専用GNDにバイパスコンデンサを付けるためのパスを設け、外部デジタル回路部専用GNDとは別のGNDとの間にバイパスコンデンサを付けることにより、デジタル回路部専用GNDのパッド・リードワイヤ・リードフレームを増やすことなく、デジタル回路部に発生したノイズを小さくでき、チップの基板等を通じてアナログ回路部へ伝わるノイズ信号を小さくできる半導体集

積回路を得ることができる。

【0028】第3の発明によれば、バイパスコンデンサを付けるためのパスを電源ラインに設けることにより、デジタル回路部のパッド・リードワイヤ・リードフレームを増やすことなく、デジタル回路部に発生したノイズを小さくでき、チップの基板等を通じてアナログ部へ伝わるノイズ信号を小さくできる半導体集積回路を得ることができる。

#### 【図面の簡単な説明】

10 【図1】この発明の実施の一形態を示す構成図である。

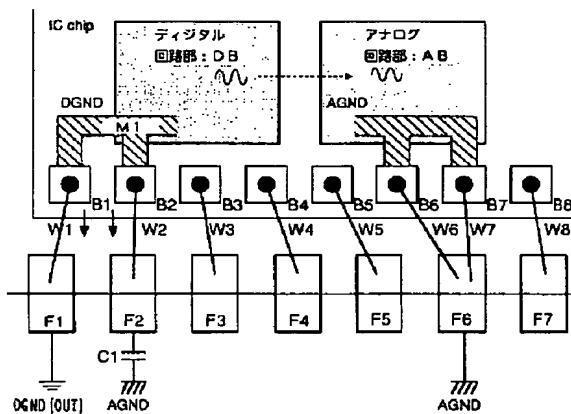
【図2】従来の技術を示す構成図である。

#### 【符号の説明】

D GND デジタル回路部専用接地部、D GND [O U T] 外部デジタル回路部専用接地部、A GND アナログ回路部専用接地部、M 1 デジタル回路部D B の内部配線、B 1～8 ボンディングパッド、W 1～8 リードワイヤ、F 1～7 リードフレーム、C 1 バイパスコンデンサ。

20

【図1】



【図2】

